

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

REQUEST FOR PARTICIPATION IN THE PATENT PROSECUTION HIGHWAY (PPH) PILOT PROGRAM BETWEEN THE JPO AND THE USPTO

Application No.:	10/790,738	First Named Inventor:	SOMEI KAWASAKI, ET AL.
Filing Date:	March 3, 2004	Attorney Docket No.:	03500.017938
Title of the Invention:	DRIVE CIRCUIT, DISPLAY APPARATUS USING DRIVE CIRCUIT, AND EVALUATION METHOD OF DRIVE CIRCUIT		

**THIS REQUEST FOR PARTICIPATION IN THE PPH PILOT PROGRAM MUST BE FAXED TO
THE OFFICE OF THE COMMISSIONER FOR PATENTS AT 571-273-0125 DIRECTED TO THE ATTENTION OF MAGDALEN GREENLIEF**

**APPLICANT HEREBY REQUESTS PARTICIPATION IN THE PATENT PROSECUTION HIGHWAY (PPH) PILOT
PROGRAM AND PETITIONS TO MAKE THE ABOVE-IDENTIFIED APPLICATION SPECIAL UNDER THE PPH PILOT PROGRAM.**

The above-identified application validly claims priority under 35 U.S.C. 119(a) and 37 CFR 1.55 to one or more corresponding JPO application(s).

The JPO application number(s) is/are: JP 2003-405642

The filing date of the JPO application(s) is/are: December 4, 2003

I. List of Required Documents:

- a. A copy of all JPO office actions (excluding "Decision to Grant a Patent") in the above-identified JPO application(s).**



Is attached.



Is available via Dossier Access System. Applicant hereby requests that the USPTO obtain these documents via the Dossier Access System.

- b. A copy of all claims which were determined to be patentable by the JPO in the above-identified JPO application(s).**



Is attached.



Is available via Dossier Access System. Applicant hereby requests that the USPTO obtain these documents via the Dossier Access System.

- c. English translations of the documents in a. and b. above along with a statement that the English translations are accurate are attached.**

Information disclosure statement listing the documents cited in the JPO office actions is attached.

Copies of all documents are attached except for U.S. patents or U.S. patent application publications.

[Page 1 of 2]

This collection of information is required by 35 U.S.C. 119, 37 CFR 1.55, and 37 CFR 1.102(d). The information is required to obtain or retain a benefit by the public, which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **FAX COMPLETED FORMS TO: Office of the Commissioner for Patents at 571-273-0125, Attention: Magdalen Greenlief.**

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

REQUEST FOR PARTICIPATION IN THE PATENT PROSECUTION HIGHWAY (PPH) PILOT PROGRAM BETWEEN THE JPO AND THE USPTO

(continued)

Application No.:	10/790,738	First Named Inventor:	Somei Kawasaki, et al.
------------------	------------	-----------------------	------------------------

II. Claims Correspondence Table:

Claims in US Application	Patentable Claims in JP Application	Explanation regarding the correspondence
See attached page.	See attached page.	See attached page.

III. All the claims in the US application sufficiently correspond to the patentable/allowable claims in the JPO application.

IV. Payment of Fees:

The Commissioner is hereby authorized to charge the petition fee under 37 CFR 1.17(h) as required by 37 CFR 1.102(d) to ☒ Deposit Account No. 06-1205.
☐ Credit Card. Credit Card Payment Form (PTO-2038) is attached.

Signature /Scott D. Malpede/	Date: February 22, 2008
Name (Print/Typed) SCOTT D. MALPEDE	Registration Number: 32,533

[Page 2 of 2]

Correspondence Between U.S. Claims and JP Allowed
Claims

CFO17938US

The claims in the USPTO	The allowed claims in the JPO for Japanese patent Application No. 2003-405642	Comment about the correspondence
29	1	Both claims are same
30	2	Both claims are same
31	3	Both claims are same
32	4	Both claims are same, except for dependency
33	5	Both claims are same, except for dependency
34	6	Both claims are same, except for dependency
35	7	Both claims are same, except for dependency
36	8	Both claims are same
37	9	Both claims are same

03500.017938

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
	:	Examiner: Unassigned
SOMEI KAWASAKI, ET AL.)	
	:	Group Art Unit: 2836
Application No.: 10/790,738)	
	:	Confirmation No.: 2877
Filed: March 3, 2004)	
	:	
For: DRIVE CIRCUIT, DISPLAY)	February 22, 2008
APPARATUS USING DRIVE	:	
CIRCUIT, AND EVALUATION)	
METHOD OF DRIVE CIRCUIT	:	

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

LETTER RE PATENT PROSECUTION HIGHWAY

Sir:

In support of the attached Request for Participation in the Patent Prosecution Highway Pilot Program, attached are copies of the following documents relating to Japanese Patent Application No. 2003-405642 filed December 4, 2003, which is one of the two Japanese patent applications from which priority is sought under 35 U.S.C. §119:

- (a) JPO Official Action dated January 16, 2007 (Reasons for Refusal);
- (b) Copy of claims determined to be patentable in JPO;
- (c) Verified Translations of (a) and (b) including statement that translations

are accurate; and

(d) Third Supplemental Information Disclosure Statement. It will be appreciated that the documents cited in the Japanese Official Action were already cited in the Second Supplemental Information Disclosure Statement filed April 23, 2007 or the Information Disclosure Statement filed April 5, 2004.

A Preliminary Amendment conforming the claims to those allowed in Japan was filed electronically on February 20, 2008 under separate cover.

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our below-listed address.

Respectfully submitted,

/Scott D. Malpede/

Scott D. Malpede
Attorney for Applicants
Registration No. 32,533

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

SDM\mm

FCHS_WS 1979884v1

拒絶理由通知書

特許出願の番号	特願2003-405642
起案日	平成19年 1月 9日
特許庁審査官	西島 篤宏 9308 2G00
特許出願人代理人	渡辺 敬介(外 1名) 様
適用条文	第29条第2項、第29条の2

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願の日前の特許出願であって、その出願後に特許掲載公報の発行又は出願公開がされた下記の特許出願の願書に最初に添付された明細書、特許請求の範囲又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同じではなく、またこの出願の時において、その出願人が上記特許出願の出願人と同一でもないので、特許法第29条の2の規定により、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

理由 1

- ・請求項 4, 8, 11
- ・特許出願 A. 特願2002-312523号(特開2004-145197号)

(備考)

上記特許出願Aには、電流信号発生回路から出力される電流値を検出し、該検出値に基づき入力映像信号を補正するようにしてなる表示装置に関する発明が記載されている。してみると、上記請求項に係る発明と上記特許出願Aに記載された発明とは、実質的に同一であると認められることから、上記請求項に係る発明は、上記理由1により特許性を有していない。

理由 2

- ・請求項 4, 8, 11
- ・刊行物 B. 特開平06-035414号公報
C. 特表平10-503292号公報

(備考)

上記刊行物B又はCに記載されているように、駆動回路のバラツキを補正する為に駆動回路からの出力値を検出し、該検出値に基づき入力映像信号を補正するような技術思想は、当該技術分野においては周知の技術思想にすぎない。また、本願出願時において電流駆動型である有機EL素子は、周知の表示素子の一つにすぎず、上記周知の技術思想を、上記周知の有機EL素子を用いた表示装置において採用し、上記請求項に係る発明のような構成を想到することに特段の困難性は認められない。よって、上記請求項に係る発明は、上記理由2により特許性を有していない。

先行技術文献調査結果の記録

- ・調査した分野 I P C
 - ・ G 0 9 G 3 / 0 0 - 3 / 3 8
 - ・ G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0
 - ・ H 0 5 B 3 3 / 1 4
- ・先行技術文献
 - ・特開2003-295828号公報
 - ・特開2004-004675号公報
 - ・特開2002-278513号公報
 - ・特開2000-180809号公報
 - ・特開平04-142591号公報
 - ・特開昭60-002989号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書の内容に問い合わせがある場合、又は、この案件について面接を希望する場合は、特許審査第1部ナノ物理、西島篤宏までご連絡下さい。

(Tel.03-3581-1101 (ex.3225) Fax.03-3592-8858)

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3950845号
(P3950845)

(45) 発行日 平成19年8月1日(2007.8.1)

(24) 登録日 平成19年4月27日(2007.4.27)

(51) Int.Cl.

F I

G O 9 G 3/30 (2006.01)

G O 9 G 3/30 J

G O 9 G 3/20 (2006.01)

G O 9 G 3/30 H

H O 1 L 51/50 (2006.01)

G O 9 G 3/20 6 1 1 H

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 4 1 D

請求項の数 9 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2003-405642 (P2003-405642)
 (22) 出願日 平成15年12月4日(2003.12.4)
 (65) 公開番号 特開2004-295081 (P2004-295081A)
 (43) 公開日 平成16年10月21日(2004.10.21)
 審査請求日 平成17年11月29日(2005.11.29)
 (31) 優先権主張番号 特願2003-61288 (P2003-61288)
 (32) 優先日 平成15年3月7日(2003.3.7)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100096828
 弁理士 渡辺 敬介
 (74) 代理人 100110870
 弁理士 山口 芳広
 (72) 発明者 川野 藤雄
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 川崎 素明
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 駆動回路及びその評価方法

(57) 【特許請求の範囲】

【請求項1】

複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路と、
 前記複数の電流信号発生回路の出力が共通に接続される電流信号出力線と、
 前記電流信号出力線を介して出力される電流値から、一つの前記電流信号発生回路の出力
 を評価しうる電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御
 回路と、
 前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を
 評価し、該評価結果に応じた補正値を出力する補正値出力回路と、
 前記電流信号発生回路に供給される映像信号を前記補正値を用いて補正する補正回路と、
 を有することを特徴とする駆動回路。

【請求項2】

前記制御回路は、前記一つの電流信号発生回路に所定の信号を供給し、他の前記電流信
 号発生回路に前記所定の信号とは異なる信号を供給する請求項1に記載の駆動回路。

【請求項3】

前記異なる信号は、該異なる信号を供給された前記他の電流信号発生回路がそれぞれ出
 力する電流信号の電流値を、前記所定の信号を供給された前記一つの電流信号発生回路が
 出力する電流信号の電流値に比べて小さくするための信号である請求項2に記載の駆動回
 路。

【請求項4】

前記電流信号出力線と前記複数の電流信号発生回路との間が同時に接続されている状態を実現するスイッチを有する請求項1乃至3のいずれか一項に記載の駆動回路。

【請求項5】

複数の前記電流信号発生回路のそれぞれと前記電流信号出力線との間の接続関係をそれぞれ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御される請求項1乃至4のいずれか一項に記載の駆動回路。

【請求項6】

複数の前記電流信号発生回路のそれぞれと複数の前記出力部との間の接続関係をそれぞれ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御される請求項1乃至5のいずれか一項に記載の駆動回路。

10

【請求項7】

前記電流信号発生回路は入力信号の値を2乗した値の電流値を有する電流信号を出力する回路を含んでおり、前記補正值出力回路は、前記電流信号発生回路の出力評価値と基準値との比の2乗根を演算することによって得た補正值を出力する請求項1乃至6のいずれか一項に記載の駆動回路。

【請求項8】

前記補正值出力回路は、前記2乗根を演算する演算回路を有しており、該演算は前記出力評価値と前記基準値との前記比の値に応じて場合分けして行う近似演算である請求項7に記載の駆動回路。

【請求項9】

20

複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路を備えた駆動回路の評価方法であって、

前記複数の電流信号発生回路の出力を共通の電流信号線に接続するステップと、

前記電流信号出力線を介して出力される電流値から、一つの前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御するステップと、

前記電流信号出力線を介して出力される電流値から前記電流信号発生回路の出力を評価するステップと、

を有することを特徴とする駆動回路の評価方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、電流信号を出力する駆動回路に関する。またそれを用いた表示装置に関する。

【背景技術】

【0002】

有機エレクトロルミネッセンス（EL）素子を用いたアクティブマトリクス方式の表示装置は、従来の格子状に電極を並べてオン・オフ動作のみで発光を制御していた単純マトリクス方式に比べ、個々の画素を高階調に点灯させることができるため、コントラスト比が大きく、且つ応答速度の高いディスプレイが実現する。

40

【0003】

EL表示装置は、画素を配置した画像表示部と、外部より入力した映像信号等の信号情報を処理して該画像表示部の各画素に送るための駆動回路とを備え、該駆動回路の中でも、画像表示部と同じ表示パネル内に作り込まれる駆動制御回路は、通常、薄膜トランジスタ（TFT）を用いて構成されている。また、各画素においてEL素子の発光状態を制御するためのアクティブ素子にも、主としてTFTが用いられている。しかしながら、TFTはその特性上、CMOSトランジスタに比べて素子間のばらつきが大きく、近接的にもばらつきに相関性が保証できないため、駆動状態を確実に制御するように回路設計をしなければ、全画素を均一に発光させようとしても輝度むらが発生してしまう。

【0004】

50

特許文献1には、4つのTFTを用いて画素回路を構成し、複数本のゲート線と1本のソース線で制御することにより、EL素子に流れる電流を制御するトランジスタをソースホロワ構成とせずに、該トランジスタのキंक電流の影響を抑えて、当該画素回路に記憶される電流値の変動を小さくした画素回路構成が開示されている。

【0005】

特許文献2に開示された回路は、図13に示すように、画素回路内に有機EL素子103に流れる電流を検出する電流検出回路105と、該電流検出回路105の出力電圧とサンプルホールド回路101の出力電圧の差分を増幅して電流制御回路194に入力する誤差増幅回路102を設け、負帰還動作により電流検出回路104の出力電圧とサンプルホールド回路101の出力電圧が等しくなるように構成し、輝度を均一にするように制御するものである。

10

【0006】

特許文献3には、図14に示すような構成を開示している。画素毎に電流検出回路を設けるのではなく、電源108の供給線毎に電流測定素子110を設け、走査ドライバ111の制御状態に応じてある行の駆動素子の電流を電流測定素子110により測定し、後に記憶手段108に保存し、演算素子107及び外部データドライバ106にて演算後、画像データにフィードバックする構成が開示されている。

【0007】

表示素子としてはEL素子以外にも種々のものが知られている。特許文献4には電子放出素子を電流信号によって駆動する構成が開示されている。

20

【0008】

【特許文献1】特開2003-66865号公報

【特許文献2】特開2002-91377号公報

【特許文献3】特開2002-278513号公報

【特許文献4】米国特許第6195076号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、駆動回路の出力を評価できる簡便な構成を実現することを課題とする。特に具体的な課題としては、駆動回路の複数の出力部ごとに出力を評価するための測定素子を設けたり、駆動回路の複数の出力部ごとに各出力を取り出すための個々の出力線を設けることなく、駆動回路の出力を評価できる構成を実現することを挙げることができる。

30

【課題を解決するための手段】

【0010】

本発明の要点は、複数の出力が共通に接続される出力線を用いることで該出力を評価するための回路に導く構成を簡便にしている。しかしながらこの構成には特有の問題が生じる。即ち、この駆動回路が出力する信号が電圧値が制御された信号（電圧信号）であると、複数の互いに異なる出力を共通の出力線に接続すると正確な評価を行うことができないという特有の問題が生じる。これが第1の特有の問題である。そこで、本発明では、出力を評価するための出力線として複数の出力が共通に接続される出力線を用いるとともに、それに伴う上記第1の特有の問題を解決するために、出力として電流信号（即ち電流値が制御された信号）を出力する電流信号発生回路を用いる構成を採用している。またさらに、第2の特有の問題もある。出力を評価するための出力線として複数の出力が共通に接続される出力線を用いるとともに、それに伴う上記第1の特有の問題を解決するために、出力として電流信号（即ち電流値が制御された信号）を出力する電流信号発生回路を用いる構成を採用しても、複数の電流信号発生回路のどれが評価対象の電流信号発生回路かが特定できないという問題（第2の特有の問題）である。そこで本発明では第1の特有の問題を解決した上でさらに問題となる上記第2の特有の問題もあわせて解決するために、電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路

40

50

をあわせて用いている。

【0011】

本願にかかわる第1の発明は以下のように構成される。即ち、
複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路と、
前記複数の電流信号発生回路の出力が共通に接続される電流信号出力線と、
前記電流信号出力線を介して出力される電流値から、一つの前記電流信号発生回路の出力
を評価しうる電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御
回路と、
前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を
評価し、該評価結果に応じた補正値を出力する補正値出力回路と、
前記電流信号発生回路に供給される映像信号を前記補正値を用いて補正する補正回路と、
を有することを特徴とする駆動回路、である。

10

【0012】

ここで、前記制御回路は、前記一つの電流信号発生回路に所定の信号を供給し、他の前
記電流信号発生回路に前記所定の信号とは異なる信号を共通に供給するものである構成を
好適に採用できる。例えば複数の電流信号発生回路のうちの一つの電流信号発生回路であ
る第1の電流信号発生回路を特定の電流信号発生回路として所定の信号を供給し、その他
の電流信号発生回路には異なる共通の信号を供給する。その時に得られた結果を第1の結
果とする。次に前記第1の電流信号発生回路とは異なる第2の電流信号発生回路を特定の
電流信号発生回路として前記所定の信号を供給し、その他の電流信号発生回路には前記共
通の信号を供給する。そのときに得られた結果を第2の結果とする。第1の結果と第2の
結果を比較することで第1の電流信号発生回路と第2の電流信号発生回路とを比較評価す
ることが可能となる。

20

【0013】

またここで電流信号発生回路の出力の評価とは、電流信号発生回路の出力の値や他の電
流信号発生回路の出力との差異や所定の基準値との差異などを直接もしくは間接的に検知
することを言う。

【0014】

また特には、前記制御回路は、前記一つの電流信号発生回路に所定の信号を供給し、他
の前記電流信号発生回路に前記所定の信号とは異なる信号を供給するものであり、前記異
なる信号が、該異なる信号を供給された前記他の電流信号発生回路がそれぞれ出力する電
流信号の電流値を、前記所定の信号を供給された前記一つの電流信号発生回路が出力する
電流信号の電流値に比べて十分に小さくするための信号である構成を好適に採用できる。
この構成によって評価対象となる特定の電流信号発生回路以外の他の電流信号発生回路の
出力を無視することができる。また他の電流信号発生回路の出力を無視できない場合であ
っても、その出力をバックグラウンドとして処理するための演算が容易になる、及び、も
しくは該演算の結果の精度を上げることが可能となる。

30

【0015】

また前記各発明において、前記電流信号出力線と前記複数の電流信号発生回路との間が
同時に接続されている状態を実現するスイッチを有する構成を好適に採用できる。このス
イッチは、前記複数の電流信号発生回路のそれぞれに対応して設けられたスイッチからな
るスイッチ群である構成を好適に採用できる。電流信号発生回路と電流信号発生回路が出
力する電流信号が供給される表示素子との間の電流経路の途中で電流信号発生回路の出力
する電流信号を電流信号出力線に流すようにする構成を好適に採用できるが、該構成にお
いては、電流信号発生回路の出力の評価を行う必要がないときには、電流信号発生回路と
電流信号出力線とを非接続状態にしておくのが望ましい。該非接続状態を実現できるよう
にスイッチを配することが望ましい。尚、本発明においては、前記電流信号出力線を介し
て出力される電流値から一つの前記電流信号発生回路の出力を評価できるような電流信号
出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路を用いる。そのた
め、このスイッチは個々の電流信号発生回路と電流信号出力線との間の接続関係を個々に

40

50

制御できるものである必要はない。個々の電流信号発生回路と電流信号線との間に個々のスイッチを設ける場合であっても、それらのスイッチは共通の制御信号で制御することができる。

【0016】

また上記各発明において、複数の前記電流信号発生回路のそれぞれと前記電流信号出力線との間の接続関係をそれぞれ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御されるものである構成を好適に採用できる。

【0017】

また上記各発明において、複数の前記電流信号発生回路のそれぞれと複数の前記出力部との間の接続関係をそれぞれ制御する複数のスイッチを有しており、該複数のスイッチは共通の制御信号で制御されるものである構成を好適に採用できる。上述したとおり、電流信号発生回路と電流信号発生回路が出力する電流信号が供給される表示素子との間の電流経路の途中で電流信号発生回路の出力する電流信号を電流信号出力線に流すようにする構成を好適に採用できるが、電流信号発生回路の出力を電流信号出力線に導いて評価を行うときには、電流信号発生回路の出力が表示素子側に分流しない構成が望ましい。表示素子が接続されるデータ線と電流信号発生回路の間にスイッチを設けることによって評価すべき電流信号がデータ線側に分流してしまうのを抑制することができる。

【0018】

尚、本発明においては電流信号の出力等の表現を用いているが、これらの表現は特定の方向に電流を流す構成に限定するものではなく、例えば電流信号発生回路が電流信号を出力するという場合、該電流信号となる電流が電流信号発生回路から流れ出す場合や電流信号発生回路に流れ込む場合のいずれも含む。

【0019】

また上記各発明において、この駆動回路は、表示素子を有する表示装置を駆動する回路であり、前記表示装置は基板上に前記表示素子の少なくとも一部を形成したものであり、前記電流信号発生回路と前記電流信号出力線が前記基板上に形成されている構成を好適に採用できる。

【0020】

また上記各発明において、前記電流信号発生回路は入力信号の値を2乗した値の電流値を有する電流信号を出力する回路を含んでおり、前記補正值出力回路は、前記の電流信号発生回路の出力評価値と基準値との比の2乗根を演算することによって得た補正值を出力するものである構成を好適に採用できる。特には、前記補正值出力回路は、前記2乗根を演算する演算回路を有しており、該演算は前記出力評価値と前記基準値との前記比の値に応じて場合分けして行う近似演算である構成を好適に採用できる。

【0021】

また本願は表示装置の発明として、上記各発明の駆動回路と、該駆動回路の前記複数の出力部とそれぞれ接続される複数のデータ線と、該複数のデータ線のそれぞれと接続される複数の表示素子とを有する表示装置の発明を含んでいる。

【0022】

この表示装置としては複数の前記表示素子をマトリクス配置しているものを好適に用いることができる。その場合は、前記複数のデータ線を複数の変調信号線とし、加えて、該複数の変調信号線とともにマトリクス配線を構成する走査線を複数設け、該マトリクス配線でマトリクス配置された複数の前記表示素子を駆動する構成を好適に採用できる。この場合、走査線を順次選択するための走査回路を設けるとよい。

【0023】

尚、駆動回路の電流信号発生回路や電流信号出力線やスイッチなどは表示素子の少なくとも一部を形成する基板上に配置することができ、特にその場合は表示素子が接続されるデータ線と駆動回路の出力部とは特別の接続要素によって接続された形態をとる必要がない。その場合には、データ線の表示素子が接続されている部分と駆動回路を構成する回路との間の任意の位置が上記出力部となる。

10

20

30

40

50

【0024】

尚、本発明における表示素子としては、電流信号によって駆動できる種々の素子を用いることができる。例えばEL素子を表示素子として特に好適に用いることができる。EL素子以外にも例えば電子放出素子を表示素子として用いることができる。電子放出素子を表示素子として用いる場合には、放出する電子によって発光する蛍光体等の発光体を組み合わせて用いることで表示を行うことができる。

【0025】

また本願は駆動回路の評価方法の発明として以下の発明を含んでいる。即ち、複数の出力部のそれぞれに電流信号を出力する複数の電流信号発生回路を備えた駆動回路の評価方法であって、

10

前記複数の電流信号発生回路の出力を共通の電流信号線に接続するステップと、
前記電流信号出力線を介して出力される電流値から特定の前記電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御するステップと、

前記電流信号出力線を介して出力される電流値から前記電流信号発生回路の出力を評価するステップと、

を有する駆動回路の評価方法、である。

【発明の効果】

【0026】

本発明においては、簡易な構成により評価可能な駆動回路を実現することができる。

20

【発明を実施するための最良の形態】

【0027】

(実施形態1)

図1は、本発明の好ましい実施形態の駆動回路の補正経路にかかる構成を示すブロック図である。図中、1は駆動制御回路、2は総和電流検出回路、3は列電流測定回路、4は列電流記憶回路、5は基準電流検出回路、6は補正ゲイン決定回路、7は補正係数演算回路、8は補正係数記憶回路、9は映像信号補正回路、20は画素回路である。

【0028】

本実施形態の駆動回路は、列制御回路と画素回路との間に総和電流出力回路(図1中の駆動制御回路に含まれる)を設け、列制御回路より出力された電流信号を、該総和電流出力回路より総和電流として出力し、総和電流検出回路2により検出し、列電流測定回路3において、各データ線毎の電流信号データを測定し、列電流記憶回路4に記憶する。次いで、基準列電流検出回路を介して該列電流記憶回路4より、基準となる電流信号データを選択し、補正係数演算回路7において、基準電流信号データと、列電流記憶回路4に記憶された各データ線の電流信号データとを演算処理して補正係数を得、該補正係数を補正係数記憶回路8に記憶する。新たな映像信号の入力に対応し、映像信号補正回路9において、映像信号に含まれる各画素分のデータに対して、補正係数記憶回路8に記憶されている該データ線の補正係数を用いて補正を行う。映像信号補正回路9において得られた補正済みの映像信号は再び駆動制御回路1に送られ、データ線を介して画素回路20へ送られる。

30

40

【0029】

本実施形態においては、上記駆動制御回路1から総和電流を出力してから補正された映像信号が該駆動制御回路1に入力されるまでの補正経路を設け、該補正経路により列制御回路から出力される電流信号のばらつきを補正することに特徴を有する。

【0030】

図2は、本発明の表示装置の好ましい一実施形態の構成を示す概略図である。尚、図2においては、本実施形態の理解のために必要な部材のみを示している。図2中、13は総和電流出力回路、14は列シフトレジスタ(HSR)、15は行シフトレジスタ(VSR)、16はオペアンプ、17はコンパレータ、18はDAC、19は列制御回路、21はデータ線、22は走査線、23はロジック回路、24はDAC、25は画像表示部、27

50

は総和電流出力端子 (I o u t)、28は検出抵抗 (R m)、29は比較回路、30は表示パネル、31は外部制御回路であり、図1と同じ部材には同じ符号を付した。

【0031】

本実施形態の表示装置は、表示パネル30と駆動回路とを備え、駆動回路は表示パネル30上に駆動制御回路1と、表示パネル30外に外部制御回路31、及び、外部制御回路31と表示パネル30間に図中の総和電流検出回路2や列電流測定回路3の一部等、必要な回路を備えている。

【0032】

表示パネル30内には、駆動制御回路1と、該駆動制御回路1により駆動される画像表示部25が配置され、本実施形態の画像表示部25はアクティブ素子を備えた画素回路20を行方向にR、G、B表示の3個一組で最小表示単位とし、該表示単位列をN列、M行備えている。従って、画素列数は(N×3)列であり、M×N×3個の画素回路20がマトリクス配置している。各行の画素回路20は共通に走査線22に接続され、各走査線22は走査回路を構成する行シフトレジスタ15に接続されている。また、各列の画素回路20は共通にデータ線21に接続され、各データ線21は総和電流出力回路13を経て列制御回路19に接続されている。本実施形態では、表示素子としてEL素子を用いており、画素回路20はEL素子を含んでいる。

10

【0033】

図2の表示装置においては、1段目の列シフトレジスタ14に列走査クロックKC、列走査開始信号SPCが入力されると、列走査クロックKCの1周期または半周期毎に遷移して発生するサンプリング信号が各シフトレジスタ14から出力され、対応する列制御回路19に入力される。列制御回路19には、列制御信号SCがロジック回路23を経て入力される。各列制御回路19では、上記サンプリング信号と列制御信号SCにより、所定期間の映像信号V i d e oがサンプリングされ、対応する電流信号がデータ線21に出力される。

20

【0034】

また、シフトレジスタ15の1段目に行走査クロックKR、行走査開始信号SPRが入力されると、行走査クロックKRの1周期または半周期毎に遷移して発生する走査信号が走査線22を介して各行の画素回路20に順次入力される。

【0035】

本発明において、列制御回路19は電流信号発生回路を備えており、図3に、該列制御回路19の回路構成例として、構成が簡単なアナログ式の列制御回路を示す。図中、35はサンプリングホールド回路である。36は、電流信号発生回路であり、特に個々では電圧信号を受けてその電圧値に応じた電流値を有する信号(電流信号)を出力する電圧電流変換回路である。また、SPa、SPbはシフトレジスタ14から出力されたサンプリング信号、CC1、CC2、CC3はロジック回路23から出力された列制御信号SC、VBは基準電圧バイアス信号、REFは映像信号V i d e oと相関性を持って入力される基準信号である。

30

【0036】

図3のサンプルホールド回路35に入力される映像信号V i d e oは該当色の画像電圧信号である。列制御回路19から出力されたサンプリング信号SPa、SPbがサンプルホールド回路35に入力される。さらに、列制御信号CC1~CC3もサンプルホールド回路35に入力される。サンプルホールド回路35から出力される電圧信号v(d a t a)、基準電圧バイアス信号VB、列制御信号CC3、基準信号REFがそれぞれ電圧電流変換回路36に入力され、電流信号i(d a t a)が出力される。

40

【0037】

図3の回路の動作を図4のタイムチャートを用いて説明する。

【0038】

行周期(水平走査期間)である期間T1において、列制御信号CC1が「L」となる(CC2は「H」とともに、サンプリング信号SPaが出力され(SPbは出力されない

50

）、該当列のSPaの発生期間t1において電圧信号v(data)が、映像信号Videoと基準信号REFとの差電圧d1でサンプルホールド回路35内にサンプルホールドされる。

【0039】

次に期間T2において、列制御信号CC1が「H」となる（CC2は「L」と）と、期間T1においてサンプリングホールドされた電圧信号v(data)が電流信号発生回路36に入力され、電流信号i(data)に変換され、i(m)として出力される。また、当該期間T2において、サンプリング信号SPbが出力され、該当列のSPbの発生期間t2において、電圧信号v(data)が、映像信号Videoと基準信号REFとの差電圧d2でサンプルホールドされる。

10

【0040】

ついで、期間T3において、列制御信号CC1が再び「L」となり（CC2は「H」と）、期間T2でサンプルホールドされたv(data)が電流信号発生回路36に入力され、変換されたi(data)が出力される。

【0041】

図5に、列制御回路19の他の回路構成例を示す。図中、M1～M4、M6～M10、M12はn型TFT、M5、M12はp型TFT、C1～C4は容量、SPa、SPbはサンプリング信号、Vccは電源、P1～P6は列制御信号である。以下、トランジスタのソース、ドレイン、ゲートをそれぞれ、/S、/D、/Gと記載する。

【0042】

図5の回路においては、映像信号VideoはM1/S及びM7/Sに入力され、サンプリング信号SPa、SPbはそれぞれM1/G、M7/Gに入力される。M1/Dは容量C1の一端に接続され、容量C1の他端は一端が接地された容量C2の他端とM3/Gに接続され、M3/Sは接地されている。M3/D及びM3/GはM2/D及びM2/Sに接続され、M2/GにはP1が入力される。M3/DはM4/Sと接続され、M4/DはM5/Dに接続され、M5/SはVccに接続され、M5/DとM5/Gは短絡されている。M4/GにはP2が入力される。さらに、M3/DにはM6/Sが接続され、M6/Dは電流信号i(data)端子に接続され、M6/GにはP3が入力される。

20

【0043】

一方、M7/Dは容量C3の一端に接続され、容量C3の他端は一端が接地されたC4の他端とM9/Gに接続され、M9/Sは接地されている。M9/D及びM9/GはM8/D及びM8/Sに接続され、M8/GにはP4が入力される。M9/DはM10/Sと接続され、M10/DはM11/Dに接続され、M11/SはVccに接続され、M11/DとM11/Gは短絡されている。M10/GにはP5が入力される。さらに、M9/DはM12/Sに接続され、M12/Dは電流信号i(data)端子に接続され、M12/GにはP6が入力される。また、各トランジスタのゲートサイズ（幅：W、長さ：L）及び容量は、M1=M7、M2=M8、M3=M9、M4=M10、M5=M11、M6=M12、C1=C3、C2=C4の関係にある。

30

【0044】

図5の回路の動作のタイミングチャートを図6に示す。図中、M3/G、M9/Gはそれぞれ、M3、M9のゲート電圧を示す。図6は、2行分の映像信号にかかる動作を示したものである。

40

【0045】

時刻t1直前

SPa=L、SPb=L、

P1=L、P2=L、P3=H、P4=L、P5=H、P6=L、

である。従って、各トランジスタは、

M1：オフ、M2：オフ、M4：オフ、M6：オン、

M7：オフ、M8：オフ、M10：オン、M12：オフ

となる。この時、M3とM9はそれぞれのゲートに付随する容量に充電された保持電圧V

50

a 1、V b 1によって電流駆動され、M 3 / D電流 I a 1が電流信号 i (d a t a)として出力される。M 9 / D電流はM 1 1 / DとM 1 1 / Gに供給され、一定値になる。

【0046】

時刻 t 1

S P a = H、P 2 = H、P 3 = L、P 5 = L、P 6 = Hに変化し、映像信号 V i d e o はブランキング期間におけるブランキング信号 V B Lとなっている。従って、各トランジスタは、

M 1 : オン、M 2 : オフ、M 4 : オン、M 6 : オフ、

M 7 : オフ、M 8 : オフ、M 1 0 : オフ、M 1 2 : オン、

となる。この時、M 9 / G電圧のV b 1によって駆動されたM 9 / D電流 I b 1がM 3 / D電流 I a 1に代わって電流信号 i (d a t a)として出力されるようになる。電流信号 i (d a t a)は画像表示部 2 5の列長を通過し、各列の多数の画素回路 2 0に対応するE L素子に接続するため、大きな寄生容量を駆動しなければならないため、有効電流供給遷移 I a 1 → I b 1に時間を要する。時刻 t 2になる前にP 1 = Hになり、M 2 : オンとなり、この時点から時刻 t 2までの短時間において、M 3 / GはM 5によって充電される。

【0047】

時刻 t 2

P 2 = Lとなり、M 4 がオフとなるため、M 3 / GのM 5による充電動作が停止し、M 3 / Gは自身のしきい値電圧 V t hに漸近するように自己放電動作を行う。

【0048】

時刻 t 3

S P a = Lとなり、M 1 がオフとなる。時刻 t 4になる前にP 1 = Lとなり、M 2 = オフとなって、この時点でM 3の自己放電動作が終了する。この時点から時刻 t 4までの期間、M 2及びM 4はともにオフとなり、M 3 / D電流は急速にLレベルに変化するため、ドレインゲート容量などによって、M 3 / Gは図6に示すように多少電圧降下を生じる。

【0049】

時刻 t 4

P 2 = Hで、M 4 : オンとなるため、再びM 3 / D電流は上昇し、M 3 / Gは再び上昇してほぼ元の状態 (V r s a)に戻る。この時点でM 3 / Gは自身のしきい値電圧 V t h近傍であるので、M 3 / Dはほとんど0である。

【0050】

～時刻 t 7

時刻 t 4～t 7の期間中、各列に対応するサンプリング信号 S P aが発生する。S P bは発生しない。時刻 t 5～t 6において、該当する画素列のサンプリング信号が発生して自身のしきい値電圧 V t h近傍に保持されているM 3 / G電圧を、この時点でブランキングレベル (V B L)を基準とする映像信号レベル d 1によって遷移電圧 Δ V 1変化させる。Δ V 1は下式で概略示される。

【0051】

$$\Delta V 1 = d 1 \times C 1 / (C 1 + C 2 + C (M 3))$$

尚、C (M 3)はM 3 / Gの入力容量を示す。

【0052】

該当するS P aがLに変化すると、M 1 : オフとなり、M 1の寄生容量動作によって多少電圧降下したV a 2に変化して再びM 3 / G電圧は保持状態となる。

【0053】

時刻 t 7

S P b = H、P 2 = L、P 3 = H、P 5 = H、P 6 = Lに変化し、映像信号 V i d e o はブランキング期間におけるブランキング信号 V B Lとなっている。従って、各トランジスタは、

10

20

30

40

50

M1：オフ、M2：オフ、M4：オフ、M6：オン、
 M7：オン、M8：オフ、M10：オン、M12：オフ、
 となる。この時、M3／G電圧の V_{a2} によって駆動されたM3／D電流 I_{a2} がM9／
 D電流 I_{b1} に代わって電流信号 $i(d a t a)$ として出力されるようになる。映像電流
 データ $i(d a t a)$ は画像表示部25の列長を通過し、各列の多数の画素回路20に対
 応するEL素子に接続するため、大きな寄生容量を駆動しなければならないため、有効電
 流供給遷移 $I_{b1} \rightarrow I_{a2}$ に時間を要する。時刻 t_8 になる前に $P_4 = H$ になり、M8：
 オンとなり、この時点から時刻 t_8 までの短時間において、M9／GはM11によって充
 電される。

【0054】

10

時刻 t_8

$P_5 = L$ となり、M10がオフとなるため、M9／GのM11による充電動作が停止し
 、M9／Gは自身のしきい値電圧 V_{th} に漸近するように自己放電動作を行う。

【0055】

時刻 t_9

$S P b = L$ となり、M7がオフとなる。時刻 t_{10} になる前に $P_4 = L$ となり、M8＝
 オフとなって、この時点でM9の自己放電動作が終了する。この時点から時刻 t_{10} まで
 の期間、M8及びM10はともにオフとなり、M9／D電流は急速にLレベルに変化する
 ため、ドレインゲート容量などによって、M9／Gは図6に示すように多少電圧降下を
 生じる。

20

【0056】

時刻 t_{10}

$P_5 = H$ で、M10：オンとなるため、再びM9／D電流は上昇し、M9／Gは再び上
 昇してほぼ元の状態(V_{rsb})に戻る。この時点でM9／Gは自身のしきい値電圧 V_{th}
 V_{th} 近傍であるので、M9／Dはほとんど0である。

【0057】

～時刻 t_{13}

時刻 $t_{10} \sim t_{13}$ の期間中、各列に対応するサンプリング信号 $S P b$ が発生する。 S
 $P a$ は発生しない。時刻 $t_{11} \sim t_{12}$ において、該当する画素列のサンプリング信号が
 発生して自身のしきい値電圧 V_{th} 近傍に保持されているM9／G電圧を、この時点でブ
 ランキングレベル(V_{BL})を基準とする映像信号レベル d_2 によって遷移電圧 ΔV_2 変
 化させる。 ΔV_2 は下式で概略示される。

30

【0058】

$$\Delta V_2 = d_2 \times C_3 / (C_3 + C_4 + C(M_9))$$

尚、 $C(M_9)$ はM9／Gの入力容量を示す。

【0059】

該当する $S P b$ がLに変化すると、M7：オフとなり、M7の寄生容量動作によって多
 少電圧降下した V_{b2} に変化して再びM9／G電圧は保持状態となる。また、時刻 t_{13}
 直前に、映像信号 $V i d e o$ はブランキングレベル V_{BL} に戻る。

【0060】

40

以降、 t_{13} が新たな t_1 として、 $t_1 \sim t_{12}$ の動作を繰り返す。

【0061】

図5の回路においては、容量 C_2 及び C_4 は、M3及びM9のゲート入力容量(チャネ
 ル容量)のみで実現しても良く、この場合、容量 C_2 及び C_4 は付設しなくても良い。ま
 た、図6において、 P_1 及び P_2 の変化タイミングは、時刻 t_1 、 t_3 として、 $S P a$ と
 等しくしても良い。また、 P_4 及び P_5 の変化タイミングは、時刻 t_8 、 t_{11} として S
 $P b$ と等しくしても良い。図5において、 P_2 、M4、M5及び P_5 、M10、M11か
 ら構成される、M3／D及びM9／Dのバイアス回路及びM3／G及びM9／Gの充電回
 路は無くてもかまわない。

【0062】

50

上記回路及び動作により、映像信号 *Video* を線順次の電流信号 *i (data)* に変換することができる。

【0063】

上記で説明した列制御回路 19 の回路構成例は、アナログ方式であるが、デジタル方式の回路を用いる場合には、映像信号 *Video* は複数本のデータ信号となり、サンプリングホールド回路は各データ信号を保持するマスタスレーブ型のフリップフロップ群となり、複数の電圧信号 *v (data)* を出力する。電圧電流変換回路においては、*gm* 特性を決める各電圧信号に相当した重み電流による電流出力型 *DA* 変換回路になる。

【0064】

次に、本発明の表示装置の画素回路 20 について説明する。本発明においては、画素回路 20 はアクティブ素子を備え、電流設定方式で駆動される。好ましくは、各画素回路 20 が *EL* 素子を備えている。また、アクティブ素子としては、1 以上の *TFT* が用いられる。

【0065】

図 7 に、当該画素回路 20 の回路構成例を示す。図中、71 は *EL* 素子、M1, M2, M4 は *p* 型 *TFT*、M3 は *n* 型 *TFT*、C1 は容量、RC1, RC2 は走査信号、Vcc は電源である。

【0066】

図 7 の画素回路において、該当列のデータ線 21 は M3 / S に接続され、M3 / G には該当行の走査信号線 22 の一方が接続され、走査信号 RC1 が入力される。M3 / D は M2 / D と M4 / S にも接続され、M4 / G にも該当行の走査信号線 22 の一方が接続され、走査信号 RC1 が入力される。M1 / S は電源 Vcc に接続され、M1 / G は一端が電源 Vcc に接続された容量 C1 の他端と M2 / S に接続され、M2 / G は該当行の走査信号 22 の他方に接続され走査信号 RC2 が入力される。M4 / D は *EL* 素子 71 の電流注入端子に接続され、*EL* 素子 71 の他端は接地 (GND) されている。

【0067】

図 7 の画素回路の動作を図 8 のタイムチャートで説明する。

【0068】

該当列のデータ線 21 には、該当列の画素回路に入力される電流信号 *i (data)* が行周期毎に更新されて入力されている。

【0069】

時刻 *t0* で該当行の走査信号 RC1 が「H」になるとともに、走査信号 RC2 が「L」になり、その時点の *i (data)* である *i (m)* により、M1 の電流駆動能力に応じた M1 / G 電圧が発生し、容量 C1 が充電されるが、この時、M4 はオフであり、*EL* 素子 71 には電流は注入されない。

【0070】

時刻 *t1* において、総和信号 RC2 は「H」に変化し、M2 はオフとなって M1 / G 電圧は保持され、時刻 *t2* において RC1 が「L」に変化して M4 はオンとなり、M1 の保持電流が *EL* 素子 71 に注入されるとともに、当該画素回路は電流信号 *i (data)* から切り離され、次に M3 がオンするまで設定された電流信号 *i (m)* に比例した電流を該当 *EL* 素子 71 に継続して供給する。

【0071】

本発明の表示装置においては、列制御回路 19 から出力される電流信号のばらつきを補正するために、列制御回路 19 と画素回路 20 との間に総和電流出力回路 13 を配置し、該出力回路から補正経路を形成して補正を行う。

【0072】

図 9 に、本実施形態の総和電流出力回路 13 の回路構成例を示す。図中、83 は電流信号発生回路 36 の出力が共通に接続される電流信号出力線、81 は電流信号発生回路 36 の出力と電流信号出力線 83 との接続関係を制御するスイッチ部、82 は電流信号発生回路 36 と画素側との接続関係を制御するスイッチ部である遮断部、91a ~ 9Nc はデー

タ線、M11～M3N及びM41～M6Nはトランジスタ、Ioutは総和電力、CCx、CCyは総和電力検出制御信号である。

【0073】

本発明にかかる総和電流出力回路13は、複数本のデータ線21から共通に電流信号を出力するスイッチ部81と、画素回路20へ流れる電流を遮断する遮断部82を備えている。本実施形態では、全データ線21から電流信号を出力する形態を示す。

【0074】

スイッチ部81は、各データ線91a～9Nc（図1のデータ線21に相当）と出力線83とを接続し、開閉制御が自在なスイッチであるトランジスタ群M11～M3Nから構成され、遮断部82は、スイッチ部81と画素回路20間の各データ線に接続された、開閉制御が自在なスイッチである遮断トランジスタ群M41～M6Nから構成されている。列制御回路19と該当列の画素回路20とを接続するデータ線91a～9Ncは、M11/S～M6N/Sと接続され、M11/D～M3N/Dは全て共通に出力線83に接続され、該出力線83より総和電流Ioutが出力される。一方、M41/D～M6N/Dはそれぞれ該当列のデータ線91a～9Ncに接続されている。M11/G～M3N/Gは全て共通に接続されてロジック回路23からの総和電流検出制御信号CCxが入力され、M41/G～M6N/Gは全て共通に接続されてロジック回路23からの総和電流検出制御信号CCyが入力される。尚、全てのトランジスタはスイッチ動作をするものであり、適切に制御すれば、p型及びn型の限定や構成は限定されない。

【0075】

図9の総和電流出力回路13の動作を、図10のタイムチャートにより説明する。尚、図1の列制御回路19は図3の回路を用いた場合を例に挙げ、該回路は列制御信号CC3によって全て電流出力状態にあるものとする。

【0076】

総和電流出力回路13より総和電流を出力して映像信号の補正を行うには、通常の動作期間の前に補正期間を設け、該補正期間において総和電流出力回路13のスイッチ部81のM11～M3NをCCxにより全てオンにし、遮断部82のM41～M6NをCCyにより全てオフとする。これにより、列制御回路19から出力された電流信号は画素回路20には流れず、全て出力線83より出力される。

【0077】

補正期間において、列制御回路19の、SPa、SPb、CC1、CC2は通常動作時の図4のタイミングと同じであるが、映像信号Videoについては、1水平走査期間において、所定のデータ線に対して電流信号を出力する電流信号発生回路36からのみ第1の電流信号が出力され、他の全てのデータ線に対して電流信号を出力する電流信号発生回路36からは第2の電流信号が出力されるように設定する。各水平走査期間において、第1の電流信号を出力する電流信号発生回路36が順次変更されるように設定する。より具体的には、例えば、1つの電流信号発生回路36のみが所定のレベルの第1の電流信号を出力し、他の電流信号発生回路36は第1の電流信号よりも低いレベルの第2の電流信号を出力するような映像信号を、各電流信号発生回路36に対して入力する。例えば電流信号発生回路36（列制御回路19）がデジタル信号入力方式の場合であって、第2の電流信号を0にする場合には、第2の電流信号を出力させるべき電流信号発生回路36に入力するデジタルデータをゼロとしておけばよい。このように設定した映像信号においては、画素列数分の水平走査期間によって、全てのデータ線に順次第1の電流信号が入力されることになる。この制御は図2の制御回路200が行う。補正はあらかじめ制御回路において設定された補正期間に行う。外部から制御回路に対して補正期間を指定することで補正を行う構成も採用できる。尚第2の電流信号としては有意の電流値を持つものであってもよいが、ここで第2の電流信号の電流値がほぼ0になるように設定している。これにより後の評価処理が容易になる。

【0078】

図10のタイムチャートにおいて、映像信号Videoは、各水平走査期間T0～T7

10

20

30

40

50

において、データ線1本に対してのみ高レベルの信号がサンプリングされるような波形に設定されている。よって、全ての列制御回路19が通常と同じ動作で映像信号Videoをサンプリングし、電流信号i(data)を出力するが、該i(data)は総和電流出力回路13より全データ線分の総和電流Ioutとして出力線83より出力され、各行走査期間に出力される総和電流Ioutは、第1の電流信号が印加されたデータ線からの出力電流を主成分とする。

【0079】

尚、行走査期間において第1の電流信号を入力するデータ線は1本に限定されるものではない。最小表示単位分のデータ線としても良く、1水平走査期間において同時に第1の電流信号を入力するデータ線の組み合わせは適宜選択され、適当な複数本を組み合わせることによって、当該補正工程にかかる時間を短縮することができ、また、視覚上注目すべきTF Tばらつきを抽出することもできる。また、各データ線の組み合わせに含まれるデータ線が、異なる走査期間において、重なっていても良く、また、その順序も限定されるものではない。

【0080】

本実施形態では、総和電流検出回路2、列電流測定回路3、列電流記憶回路4、基準列電流検出回路5、補正ゲイン決定回路6、補正係数演算回路7、補正係数記憶回路8が電流信号出力線83を介して出力される電流値から特定の電流信号発生回路36の出力を評価し、該評価結果に応じた補正值を出力する補正值出力回路を構成している。具体的には、総和電流検出回路2、列電流測定回路3によって電流信号発生回路の出力を評価し、該評価結果に応じた補正值を補正係数演算回路7で演算し、得られた補正值を補正值記憶回路である補正係数記憶回路8で記憶し、該補正係数記憶回路8から補正值を出力する構成としている。

【0081】

電流信号発生回路36の出力を評価するステップは以下のように行う。

【0082】

総和電流出力回路13から出力された総和電流Ioutは、図2の出力端子27より出力され、総和電流検出回路2に入力される。総和電流検出回路2においては、出力端子27に検出抵抗28の一端が接続されており、該検出抵抗28の他端は電源Vccに接続されている。また、出力端子27はオペアンプ16の正極側にも接続されており、オペアンプ16の負極側と出力側は短絡されている。オペアンプ16の出力端子は次段の列電流測定回路3のコンパレータ17の負極側に接続され、該コンパレータ17の正極側にはDAC18の出力が入力される。

【0083】

補正期間内にて検出する総和電流は、総和電流出力回路13に入力されるTEST信号が「H」の期間、例えば図5の列制御回路のM3、M9のVgsに相当する電流が全ての列に相当し、総和電流ΣIとなって電源から検出抵抗28を介して流れるため、出力端子27の電位は $V_{out} = V_{cc} - \Sigma I \times R_m$ となる(Rmは検出抵抗28の抵抗値)。尚、オペアンプ16の入力インピーダンスの影響を無視するものとする。Voutの電位はオペアンプ16の構成により、バッファリングされてそのままコンパレータ17の負極側に入力される。

【0084】

次に、図2では、列電流測定回路3においては、コンパレータ17とDAC18と比較回路29からなる逐次比較型の回路を示しているが、当該回路は一般的で広く用いられているため、簡略的に説明を行う。

【0085】

コンパレータ17の出力は、「H」、「L」の2極のデジタル出力であり、比較回路29により、VoutとDAC18の出力値Vdacとを比較し、判定を行う。例えば、DAC18を最低の電位からビットの分解能ずつ上昇させた場合、図2の構成では、 $V_{out} > V_{dac}$ ではコンパレータ17の出力は「L」であるが、 $V_{out} < V_{dac}$ となり

、コンパレータ 17 の出力が「H」に反転した時、DAC 18 のデジタルデータを列電流記憶回路 4 に保存する。図 2 においては、Vout はコンパレータ 17 の負極側に入力されているが、DAC 18 側と極性を変えても良い。但し、コンパレータ 17 の出力も反転する。比較回路 29 が出力する値が電流信号発生回路の出力を評価した値であり、この評価値は電流信号発生回路が出力する電流値と 1 対 1 に対応する値となっている。

【0086】

基準列電流検出回路 5 において、列電流記憶回路 4 に保存された各データ線の電流信号データより、基準となる電流信号データを選択し、記憶する。基準となる電流信号データの選択基準は特に限定はない。

【0087】

基準列電流検出回路 5 に記憶した基準電流信号データと、列電流記憶回路 4 に保存された各データ線の電流信号データとを用い、補正係数演算回路 7 において演算処理を行って、各データ線に対応する補正係数を算出する。具体的には、当該補正係数演算回路 7 にゲイン演算回路を持たせ、基準電流を補正すべきデータ線の電流信号データにより除算し、除算結果を二乗根演算し、二乗根演算結果に係数 k を乗算し、得られたゲイン演算結果を補正係数とする。以下の式 (1) により算出される。

【0088】

【数 1】

$$Hsample = 1 - \left(1 - \sqrt{\frac{Iref}{Isample}}\right) \times k \quad (1)$$

【0089】

Hsample : 各データ線の補正係数

Isample : 各データ線の電流信号データ

Iref : 基準電流信号データ

k : 係数

【0090】

上記式 (1) において、ルート演算をロジック演算にて行う際、最も誤差が出ないように演算するために、除算値 $x = Iref / Isample$ に応じて、係数を場合分けした 2 項定理による近似演算によって行う。演算式を下記 (2) 式に示す。

【0091】

【数 2】

$$\sqrt{x} = \{a - (a - x)\}^{\frac{1}{2}} = \sqrt{a} \left(1 - \frac{a - x}{a}\right)^{\frac{1}{2}} \approx \sqrt{a} \left(1 - \frac{a - x}{2 \times a}\right) \quad (2)$$

【0092】

上記式 (2) における、a、 $a^{1/2}$ が場合分け係数であり、予めいくつかのパターンを用意しておく。上記式 (2) 中の、 $(a - x) / a$ の値がゼロに近いほど演算結果の誤差が少ない。

【0093】

図 11 に、本実施形態の補正係数演算回路 7 の構成を示す。図中、10 は除算回路、11 は場合分け係数決定回路、12 は四則演算回路である。図 11 の除算回路 10 に入力される Isample、Iref により、 $x = Iref / Isample$ を計算し、x の値を場合分け係数決定回路 11 に入力する。場合分け係数決定回路 11 では、x の値に応じて、場合分け係数 a、 $a^{1/2}$ が決定され、四則演算回路 12 にて、上記式 (2) の最右辺の演算が行われる。乗算、除算のロジックは一般的なシフター及びアダーで構成可能なため、ここでは動作説明を省略する。

【0094】

上記式 (2) の演算において、実際の演算結果を図 12 に示す。図 12 は、ルートを計算機で計算した結果と、2 項定理を用いた結果の割合を示したものである。1 に近いほど

10

20

30

40

50

誤差が少ない。演算を行う値を0.5～1.5まで設定し、係数 a 、 $a^{1/2}$ の8つの組み合わせを用意した。以下に該組み合わせを示す。図12に〔1〕から〔8〕で示している曲線がそれぞれ以下の表に示す a の値を用いて近似計算を行った場合の、正確な演算結果（精度の高い計算機を用いて行った演算結果）と上記近似演算を行った結果の比（縦軸）と上記 x の値（横軸）の関係を示す。

【0095】

【表1】

x	a	\sqrt{a}
$x < 0.69$	0.6250	0.790569
$0.69 \leq x < 0.82$	0.7500	0.866025
$0.82 \leq x < 0.91$	0.8750	0.935414
$0.91 \leq x < 0.97$	0.9375	0.968246
$0.97 \leq x < 1.07$	1.0000	1.000000
$1.07 \leq x < 1.19$	1.1250	1.06066
$1.19 \leq x < 1.32$	1.2500	1.118034
$1.32 \leq x$	1.3750	1.172604

10

【0096】

各 a の値の曲線グラフで、 x の値においてより1に近い係数を逐次選択することにより、計算機による結果とほとんど差異のない演算結果を得ることができる。

20

【0097】

これにより、式（2）で得られた演算結果を元に、式（1）のルートに代入して係数 k を乗じて演算した結果が、補正係数 $Hsample$ であり、当該補正係数が補正係数記憶回路8に記憶される。

【0098】

映像信号補正回路9においては、サンプリングする列の映像信号 $Video$ に合わせて、補正係数記憶回路9より記憶された該当列の補正係数を読み出し、乗算して補正する。乗算結果は列制御回路19のデジタル・アナログ方式に合わせて出力する。即ち、デジタル方式であれば駆動制御回路1にデジタル信号で出力し、アナログ信号であればDACにてアナログ電圧変換して、同様に駆動制御回路1に出力する。

30

【0099】

補正ゲインは式（1）における係数 k の値によって決定される。即ち、 $k=1$ とした場合、除算及びルート演算によって得られた値がそのまま補正係数となる。

【0100】

$k < 1$ の場合、補正係数のゲインが1より小さくなるので、補正を弱くすることになる。よって、1回の補正では電流信号むらを完全に抑制することができない。そこで、上記した補正工程を複数回行い、逐次、補正係数記憶回路8に記憶させる補正係数を書き換えていくことにより、電流信号むらの抑制をより確実に行うことができる。

【0101】

$k > 1$ の場合、 $k < 1$ の場合とは逆に補正を強くすることになる。よって、1回の補正で電流信号むらが逆転する可能性がある。そこで、この場合も、上記した補正工程を複数回行い、逐次、補正係数記憶回路8に記憶させる補正係数を書き換えていくことにより、電流信号むらの抑制をより確実に行うことができる。

40

【0102】

尚、ゲインを強くしすぎると、逆に収束しない可能性があるので、 $1 < k < 2$ の範囲で選択する。

【0103】

ゲインは、デバイスの条件、製品搭載時の運用において選択し、補正を行っても良い。例えば、製品起動時において、表示パネル点灯前にゲイン1で補正を行い、後にゲイン1

50

未満、もしくは $1 < k < 2$ の設定で複数回補正を行うことも可能である。当該ゲインの選択は、補正ゲイン決定回路 6 にて行う。

【0104】

尚補正值を決定するための補正期間は例えば製品起動時に設定しておくことができる。また定期的に行うようにも設定できる。補正值を記憶する回路である補正係数記憶回路 8 として記憶保持動作に電力供給が必要なメモリを用いている場合には、電力オフによって記憶が失われるため、電力オフから電力オンのたびに補正值決定を行えばよい。または電力オフによっても記憶を失わないメモリ（例えば E2PROM）を採用することで、電力オフから電力オンのたびに補正值決定を行わなくてもよい構成を実現することができる。

【0105】

（実施形態 2）

上記実施形態では、あらかじめ設定された補正期間に上記補正值を求め、該補正值を更新する構成を述べた。本実施形態は一度だけ補正值決定プロセスを行い、それによって決定された補正值を更新せずに使用する形態である。具体的には、製品出荷前に上記実施形態で述べた補正值決定プロセスを行いそれによって得られた補正值を補正值出力回路に記憶させる。この実施形態では補正值を更新する必要がないので書き換え可能なメモリを用いる必要がなくなる。この実施形態においては、前記電流信号出力線を介して出力される電流値から特定の電流信号発生回路の出力を評価できるような電流信号出力状態に前記複数の電流信号発生回路のそれぞれを制御する制御回路 200 は、駆動回路や表示装置として持つ必要はない。

【0106】

（実施形態 3）

本実施形態では、以上の実施形態で述べた各電流信号発生回路の出力を評価するステップを、駆動回路や表示装置の製造プロセスの途中や製造プロセスが完了した後で行い、不良品判定を行う。具体的には各電流信号発生回路の出力のばらつきが大きい場合には以降の製造プロセスや出荷を取りやめる。

【0107】

尚、上記各実施形態においては、EL素子を用いた EL 表示装置を例に挙げて説明したが、本発明の表示装置はこれに限定されるものではなく、電流信号によって、各画素の表示を制御する装置であれば、好ましく適用される。

【図面の簡単な説明】

【0108】

【図 1】本発明の駆動回路の補正経路にかかる構成を示すブロック図である。

【図 2】本発明の表示装置の好ましい一実施形態の構成を示す概略図である。

【図 3】列制御回路の回路構成例を示す図である。

【図 4】図 3 の列制御回路のタイムチャートである。

【図 5】列制御回路の他の回路構成例を示す図である。

【図 6】図 3 の列制御回路のタイムチャートである。

【図 7】画素の回路構成例を示す図である。

【図 8】図 8 の画素回路のタイムチャートである。

【図 9】総和電力出力回路の回路構成例を示す図である。

【図 10】図 9 の総和電力出力回路のタイムチャートである。

【図 11】補正係数演算回路の構成例を示す図である。

【図 12】補正係数演算回路における演算結果を示す図である。

【図 13】従来の EL 表示装置の画素回路を示す図である。

【図 14】従来の EL 表示装置の表示パネルの構成を示す図である。

【符号の説明】

【0109】

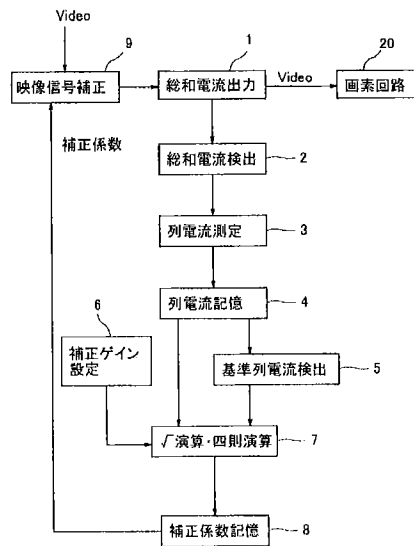
- 1 駆動制御回路
- 2 総和電流検出回路

3	列電流測定回路	
4	列電流記憶回路	
5	基準列電流検出回路	
6	補正ゲイン決定回路	
7	補正係数演算回路	
8	補正係数記憶回路	
9	映像信号補正回路	
10	除算回路	
11	場合分け係数決定回路	
12	四則演算回路	10
13	総和電流出力回路	
14	列シフトレジスタ	
15	行シフトレジスタ	
16	オペアンプ	
17	コンパレータ	
18	D A C	
19	列制御回路	
20	画素回路	
21	データ線	
22	走査線	20
23	ロジック回路	
24	D A C	
25	画像表示部	
27	総和電流出力端子	
28	検出抵抗	
29	比較回路	
30	表示パネル	
31	外部制御回路	
35	サンプルホールド回路	
36	電流信号発生回路	30
71	E L 素子	
81	スイッチ部	
82	遮断部	
83	出力線	
91 a ~ 9 N c	データ線	
101	サンプルホールド回路	
102	誤差増幅回路	
103	E L 素子	
104	電流制御回路	
105	電流検出回路	40
106	データドライバ	
107	演算素子	
108	記憶手段	
109	電源	
110	電流測定素子	
111	走査ドライバ	
200	制御回路	
C 1 ~ C 4	容量	
C C 1, C C 2, C C 3	列制御信号	
C C x、C C y	総和電流検出制御信号	50

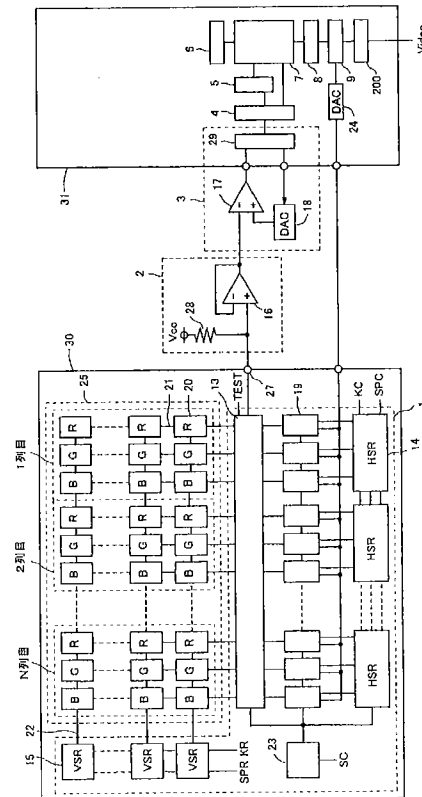
$i(data)$ 電流信号
 gm 電圧電流変換回路
 I_{out} 総和電流
 KC 列走査クロック
 KR 行走査クロック
 $M1 \sim M12$ 、 $M11 \sim M6N$ TFT
 $P1 \sim P6$ 列制御信号
 $RC1$ 、 $RC2$ 走査信号
 SC 列制御信号
 SH サンプルホールド回路
 SPC 列走査開始信号
 SPa 、 SPb サンプリング信号
 SPR 行走査開始信号
 $TEST$ テスト信号
 VB 基準電圧バイアス信号
 $v(data)$ 電圧信号
 $Video$ 映像信号

10

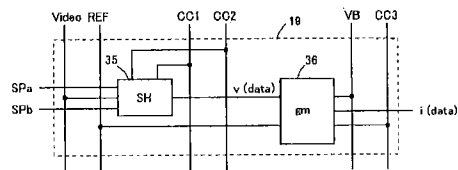
【図 1】



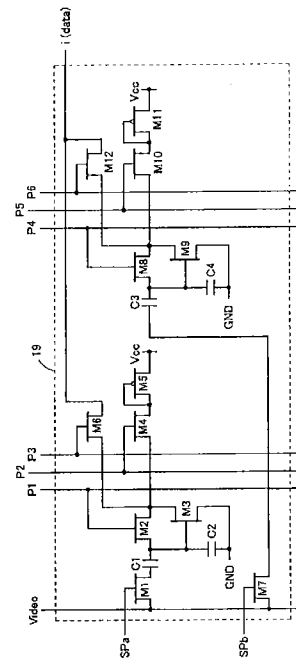
【図 2】



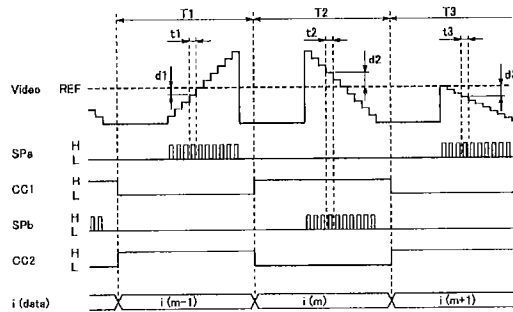
【図 3】



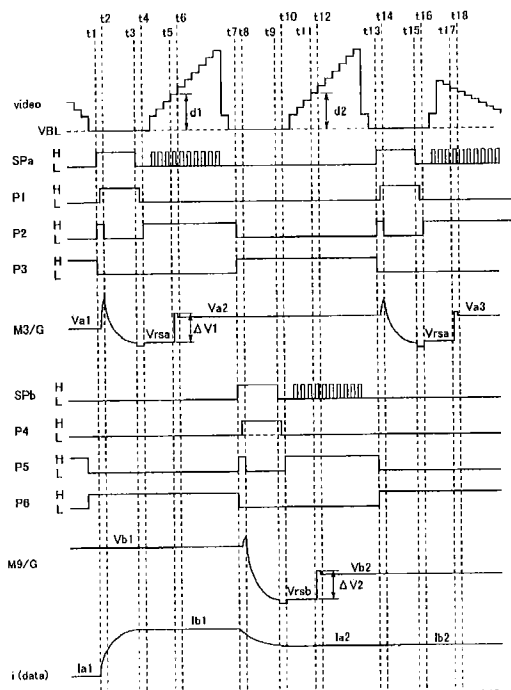
【図 5】



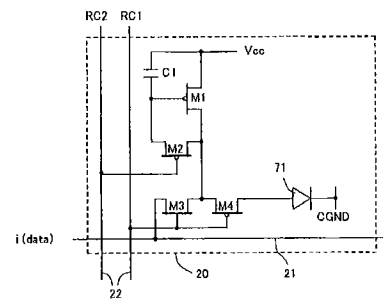
【図 4】



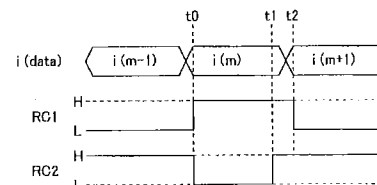
【図 6】



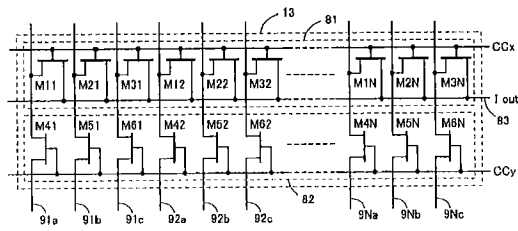
【図 7】



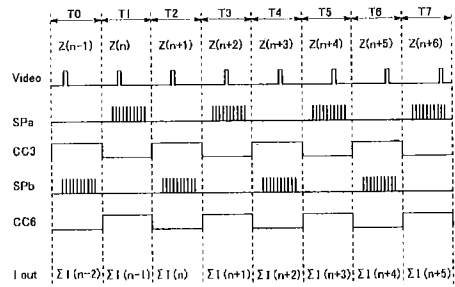
【図 8】



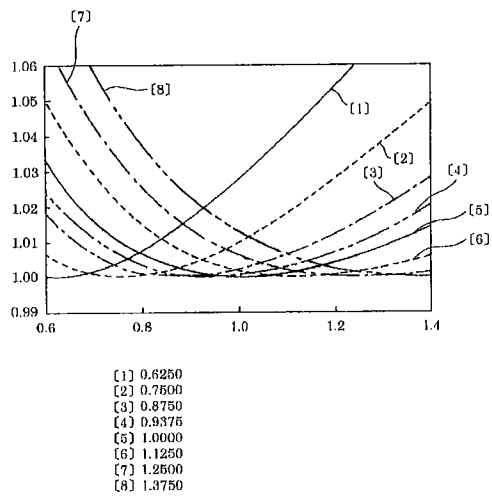
【図 9】



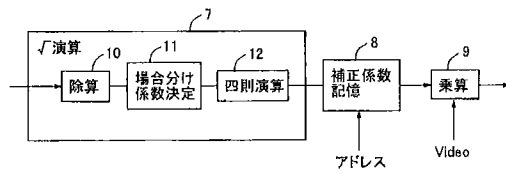
【図 10】



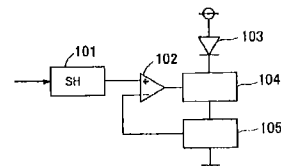
【図 12】



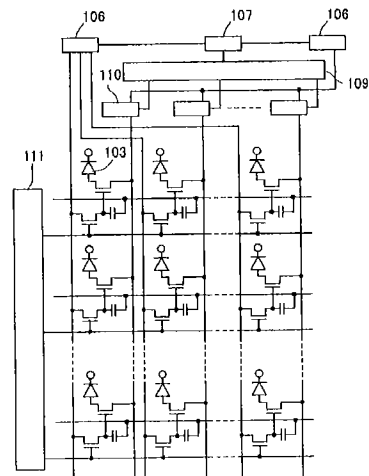
【図 11】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 1 P

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 7 0 Q

H 0 5 B 33/14 A

(72)発明者 井関 正己

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 西島 篤宏

(56)参考文献 特開平06-035414 (JP, A)

特開2004-145197 (JP, A)

特表平10-503292 (JP, A)

特開2003-295828 (JP, A)

特開2004-004675 (JP, A)

特開2002-278513 (JP, A)

特開2000-180809 (JP, A)

特開平04-142591 (JP, A)

特開昭60-002989 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3/00- 3/38

H 0 1 L 51/50

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Inventor: Somei KAWASAKI et al.

Application No. 10/790,738

Title: DRIVE CIRCUIT, DISPLAY APPARATUS USING DRIVE CIRCUIT, AND
EVALUATION METHOD OF DRIVE CIRCUIT

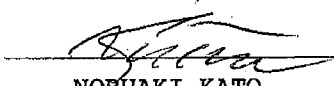
VERIFIED TRANSLATION OF DOCUMENTS CONCERNING JAPANESE PATENT APPLICATION

I, NOBUAKI KATO, a Japanese Patent Attorney registered No.8517,
of Okabe International Patent Office at No. 602, Fuji Bldg., 2-3,
Marunouchi 3-chome, Chiyoda-ku, Tokyo, Japan, hereby declare under
penalty of perjury under the laws of the United States of America that
I have a thorough knowledge of Japanese and English languages, and that
the attached are accurate translations of the documents listed below
concerning Japanese Patent Application No. 2003-405642:

Final Claims

Notification of Reason for Refusal

Signed this 15 day of January, 2007


NOBUAKI KATO

Reference No.257975 Dispatch No. 008994
Dispatch Date: January 16, 2007

Notification of Reason for Refusal

Patent Application No. 2003-405642
Drafting Date January 9, 2007
JPO Examiner Atsuhiko Nisijima
Agent / Applicant Keisuke Watanabe (one other)
Applied Provision Patent Law Sections 29(2) and 29 bis

This application is refused for the reason mentioned below. If the applicant has any argument against the reason, such argument should be submitted within 60 days from the date on which this notification was dispatched.

Reasons.

1. The inventions in the claims noted below of the subject application are unpatentable under Patent law Section 29bis since they are identical with an invention disclosed in the description, claims for patent or drawings originally attached to the other patent application filed prior to the filing date of the subject application, and published through a Patent Gazette or Laid-Open Gazette after the filing date of the subject application. The inventor of

the subject application is not the same person as the inventor of the invention of the other patent application filed prior to the subject application. And, at the time of filing of the subject application, the applicant of the subject application is not the same person as the applicant of the other patent application.

2, The inventions in the claims noted below of the subject application are unpatentable under Patent law Section 29(2) since they could have been easily made by persons who have common knowledge in the technical field to which the invention pertain on the basis of the inventions described in the publications below which were distributed, or the invention made available to the public through electric telecommunication lines, prior to filing of the subject application in Japan or other countries.

Note

Reason 1.

With regard to claims 4, 8 and 11,

A patent application A. patent application 2002-312523 (Patent Application Laid-Open 2004-145197) is cited.

Remark

The above document A discloses an invention related to a display apparatus wherein a value of current outputted from a current signal generator circuit is detected, and, based on the value detected, an input image signal is corrected. Accordingly, the present invention defined in claims and the invention disclosed in the application A are substantially identical. Thus, the present invention in the above claims has not patentability in view of the Reason 1.

Reason 2

With regard to the invention in claims 4, 8 and 11,

Document B Japanese Patent Application laid-Open
06-035414, and

Document C PCT Application Japanese National Phase
Publication H10-503292 are cited.

Remarks

As disclosed in the Documents B and C, it is merely well-known technical idea that, in order correct variation of driving circuits, detecting values of outputs from the driving circuits, based on the values detected, input image signals are corrected. Moreover, at the time of filing the present application, as a display element, an organic EL element is merely one of well-known display elements.

Accordingly, it is recognized to be merely ordinal aggregation readily deduced by those skilled in the art to use the above described well-known technique in the display apparatus using the organic EL element, thereby constitute the structure of the present invention. Thus, the present invention defined in the claims has not patentability as described in the Reason 2.

Record of the result of prior art search

Technical field searched: IPC

G09G 3/00-3/38

G02F 1/133 505-580

H05B 33/14

Prior art Documents

Japanese Patent Application laid-Open 2003-295828

Japanese Patent Application laid-Open 2004-004675

Japanese Patent Application laid-Open 2002-278513

Japanese Patent Application laid-Open 2000-180809

Japanese Patent Application laid-Open H04-142591

Japanese Patent Application laid-Open S60-002989

This record is not part of the reason for refusal.

Any inquiry concerning this notification or request for
interview concerning this application should be directed to:

Nano-Physics, First Patent Examination Department,
Atsuhiko Hishijima

TEL: 03(3581)1101 (Ext.3225). Fax. 03-3592-8858

Japanese Patent 3950845

[Claims]

[Claim 1]

A drive circuit characterized comprising:

a plurality of current signal generation circuits for outputting a current signal to each of a plurality of output units;

a current signal output line to which outputs of said plurality of current signal generation circuits are commonly connected;

a control circuit for controlling each of said plurality of current signal generation circuits to be a current signal output state capable of evaluating an output of one of said plurality of current signal generation circuits on a basis of current values output through said current signal output line;

a correction value output circuit for evaluating the output of said one of said plurality of current signal generation circuits on a basis of the current values output through said current signal output line to output a correction value according to an evaluation result; and

a correction circuit for correcting an image signal supplied to said current signal generation circuits by means of the correction value.

[Claim 2]

A drive circuit according to claim 1, wherein said control circuit supplies a predetermined signal to said one of said current signal generation circuits, and supplies a signal different from the predetermined signal to the other current signal generation circuits.

[Claim 3]

A drive circuit according to claim 2, wherein the different signal is a signal such that a current value of a current signal output from each of the other or others of the current signal generation circuits, to which the different signal has been supplied, is made smaller than a current value of the current signal output from said one of said current signal generation circuits.

[Claim 4]

A device circuit according to any one of claims 1-3, further comprising:

a switch for realizing a state in which said current signal output line is connected to said plurality of current signal generation circuits simultaneously.

[Claim 5]

A device circuit according to any one of claims 1-4, further comprising:

a plurality of switches for controlling connection relations between said plurality of current signal generation circuits and said current signal output line, said plurality of switches being controlled by a common control signal.

[Claim 6]

A drive circuit according to any one of claims 1-5, further comprising:

a plurality of switches for severally controlling connection relations between said plurality of current signal generation circuits and said output units, said plurality of switches being controlled by a common control signal.

[Claim 7]

A drive circuit according to any one of claims 1-6, wherein said current signal generation circuit includes a circuit for outputting a current signal having a squared value of a value of an input signal, and said correction value output circuit outputs a correction value obtained by calculating

a square root of a ratio of an output evaluation value of said said-current signal generation circuit to a reference value.

[Claim 8]

A drive circuit according to claim 7, wherein said correction value output circuit includes a calculation circuit for calculating the square root, and the calculation is an approximation calculation performed by classifying according to a value of the ratio of the output evaluation value to the reference value.

[Claim 9]

An evaluation method of a drive circuit including a plurality of current signal generation circuits for outputting current signal to each of a plurality of output units, comprising steps of:

connecting outputs of said plurality of current signal generation circuits to a common current signal output line;

controlling said plurality of said plurality of current signal generation circuits to a current signal output state in which an output of one of said current signal generation circuits can be evaluated on a basis of current values output through said current single output line; and

evaluating an output of said one of said current signal generation circuits on a basis of the current values output through said current single output line.